

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **02-203566**
 (43)Date of publication of application : **13.08.1990**

(51)Int.CI.

H01L 29/784

(21)Application number : **01-024191**

(71)Applicant : **MATSUSHITA ELECTRIC IND CO LTD**

(22)Date of filing : **02.02.1989**

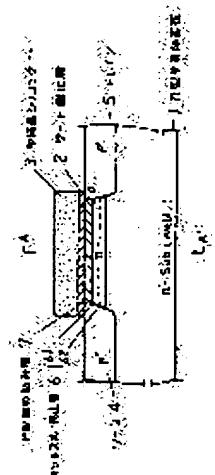
(72)Inventor : **EZAKI TAKEYA**

(54) MOS TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make impurity concentration sharp and dilute by forming in order a punch through protecting layer of sharp distribution and a punch through protecting layer of gentle distribution so as to be in contact with the lower part of a buried layer.

CONSTITUTION: In the vicinity containing the surface of an n-type semiconductor substrate 1, a polycrystalline silicon gate 3 is formed, via a p-type buried layer 7 having a specified concentration and thickness, and a gate oxide film 2 formed on the substrate 1 surface. On both ends of the gate 3, a p-type source 4 and a drain 5 of high concentration formed by implanting boron are formed as diffusion layers. A punch through protecting layer 61 of sharp distribution and a punch through protecting layer 62 of gentle and low concentration formed in order so as to be in contact with the lower part of the buried layer 7 are arranged. Thus a p-channel MOSFET is constituted. A part of the lower part of the buried layer 7 is compensated by the protecting layers 61, 62, and inverted into one conductivity type, so that the distribution of the buried channel becomes sharp.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A) 平2-203566

⑬ Int. Cl. 5
H 01 L 29/784

識別記号

厅内整理番号

⑭ 公開 平成2年(1990)8月13日

8422-5F H 01 L 29/78 301 H

審査請求 未請求 請求項の数 2 (全3頁)

⑮ 発明の名称 MOS型半導体装置

⑯ 特願 平1-24191

⑯ 出願 平1(1989)2月2日

⑰ 発明者 江崎豪弥 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑲ 代理人 弁理士 粟野重孝 外1名

明細書

1. 発明の名称

MOS型半導体装置

2. 特許請求の範囲

(1) 1導電型半導体基板の表面にゲート絶縁膜を介してゲート電極が設けられていて、上記ゲート電極で分離されその両端に高濃度の2導電型領域であるソース・ドレイン拡散層と、上記基板・ゲート絶縁膜の界面とその近傍に2導電型埋め込み層とが形成されていて、上記埋め込み層に接しその下方に順次急峻な分布の第1のバンチスルーフ止層および低濃度でかつ緩やかな分布の第2のバンチスルーフ止層とを含んでいることを特徴とするMOS型半導体装置。

(2) 埋め込み層はポロン、第1のバンチスルーフ止層はヒ素、第2のバンチスルーフ止層はポロンを不純物とすることを特徴とする請求の範囲
第1項記載のMOS型半導体装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は大規模集積回路(VLSI)の構成素子であるMOS型電界効果トランジスター(以下MOSFETと略記)に関するものである。

従来の技術

従来のpチャネルMOSFETの断面構造図を第3図に示す。ゲート電極3に、n型の不純物を含むn+型の多結晶シリコンを用いている。それにより半導体基板との仕事間数の違いを生じ、しきい値V_tを0.6V近傍に設定するために、p型埋め込み層7を形成している。埋め込み層上にゲート絶縁膜2を介して設けられたゲート電極3の両端にはソース4・ドレイン5としてのp+拡散層が、埋め込み層7に接して半導体基板表面およびその近傍に形成される。p型埋め込み層はポロンを不純物としてイオン注入・拡散することにより形成されている。

発明が解決しようとする課題

しかしながら、ポロンは拡散係数が大きいため素子の微細化が進んでいるにもかかわらず薄膜化されていない。このため、埋め込み層の不純物濃

度は緩やかに分布し、基板バイアスによる空乏層が進入し、しきい値の変化が大きくなる。これは、ソース電位が基板電位より浮き上がるような回路、例えば、トランスマニアゲートやNAND/NORの電流が減少し、回路動作が悪くなることを意味する。

また、ソース・ドレイン間距離すなはちチャネル長が短縮されてきたにもかかわらず、電源電圧は一定であるため、ドレイン電界は高まっている。そのため、ドレイン近傍の高電界領域(a点)で発生するホットキャリアによる特性の劣化が増大している。アバランシェは正孔で引き起こされるよりも電子による方が確率が高いので、pチャネルに於いては、発生したホットキャリアの内電子を速く高電界領域から基板へ抜き出せば、ホットキャリアの総発生量は抑制され得るが、これに対して従来の埋め込み層の不純物濃度分布は緩やかでその接合深さは深かった。そのため、a点から基板までの距離が長くこの効果は期待できなかった。

矽を含む厚さ200nmの多結晶シリコンゲート3、ゲート3の両端にポロンを注入して形成された高濃度のp⁺型ソース4・ドレイン5およびp型埋め込み層の下方に接して順次形成された急峻な分布の第1のパンチスルーフ防止層61および緩やかでかつより低濃度の第2のパンチスルーフ防止層62からpチャネルMOSFETが構成されている。なお、金属配線やコンタクトなどは省略してある。

第1図のA-A'に沿ったp型埋め込み層の不純物分布を第2図に示す。埋め込み層のポロンの元々の分布70は第1の層61に補償されて差引後の分布71になる。下方に残るポロン70Bは、低濃度で緩やかな分布62より消滅している。急峻な分布を形成するためには、拡散係数の小さな不純物が用いられる。すなわち、第1の防止層61にはヒ素が、第2の防止層62には矽がイオン注入及び熱拡散により導入される。従来例の不純物分布(第4図)と比較すると、p型埋め込みチャネルの分布は本発明に於いて急峻でしかも接合深さが浅くなっていることが判る。

そこで本発明は、この埋め込み層の不純物濃度を急峻かつ薄くすることをその目的とするものである。

課題を解決するための手段

本発明は、埋め込み層の下方にその埋め込み層に接して、順次、急峻な分布の第1のパンチスルーフ防止層および緩やかな分布の第2のパンチスルーフ防止層とを形成するものである。

作用

埋め込み層の下方の一部が急峻な分布の第1のパンチスルーフ防止層とより低濃度で緩やかな分布の第2のパンチスルーフ防止層により、補償された1導電型に変換され、埋め込みチャネルの実効的な分布が急峻でその接合深さが浅くなる。

実施例

本発明をpチャネルMOSFETに適用した実施例を第1図に示す。n型半導体基板1の表面を含む近傍に濃度が $1 \times 10^{17} \text{ cm}^{-3}$ で厚みが0.1ミクロンのp型埋め込み層7、基板表面に熱酸化法で形成された厚さ8nmのゲート酸化膜2を介して設けられた

発明の効果

本発明は上述した構成と作用により下記の実用上の有用な効果をもたらす。

(1) 埋め込み層が急峻な分布なので、基板バイアスによる空乏層の進入が少ない。すなはち、基板バイアス効果が小さい。このため、トランスマニアゲートの様なソースが基板から浮くような回路は高速である。

(2) アバランシェ(電離衝突)が起こるa点(第1図)から基板までの距離が短いので、発生したホットキャリアは2次的アバランシェを起こさない内に速やかに基板へ吸い出されるので、ゲート絶縁膜へのホットキャリア注入は少ない。すなはち、本発明の半導体装置は信頼性が高い。

以上、本発明のMOSFETおよびその集積回路は高速でホットキャリア耐性が高い。

4. 図面の簡単な説明

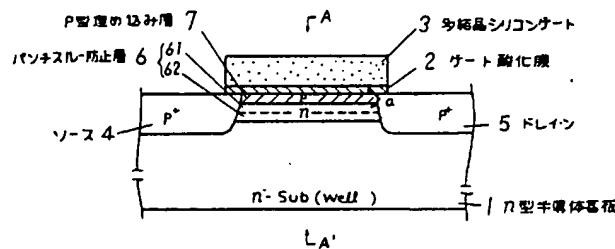
第1図は、本発明の一実施例のpチャネルMOSFETの構造断面図、第2図は、第1図のA-A'に沿った不純物分布図、第3図は、従来例のpチャ

ネルMOSFETの構造断面図、第4図は、第3図のA-A'に沿った不純物分布図である。

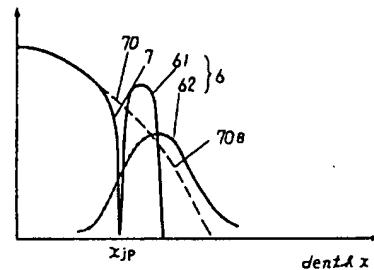
1 ……n型半導体基板、2 ……ゲート酸化膜、
 3 ……多結晶シリコンゲート、4 ……ソース、
 5 ……ドレイン、6 ……パンチスルー防止層、
 7 ……p型埋め込み層。

代理人の氏名 弁理士 粟野重孝 ほか1名

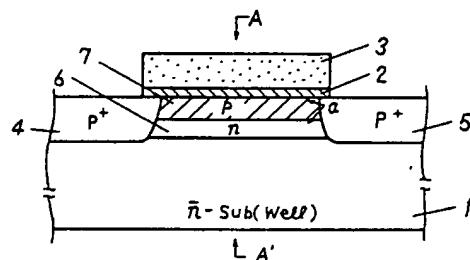
第1図



第2図



第3図



第4図

